

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339377

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H04L 7/04

H03K 5/14

H03L 7/00

H04L 7/02

(21)Application number : 2000-159607

(71)Applicant : NEC CORP  
NEC COMMUN SYST LTD

(22)Date of filing : 30.05.2000

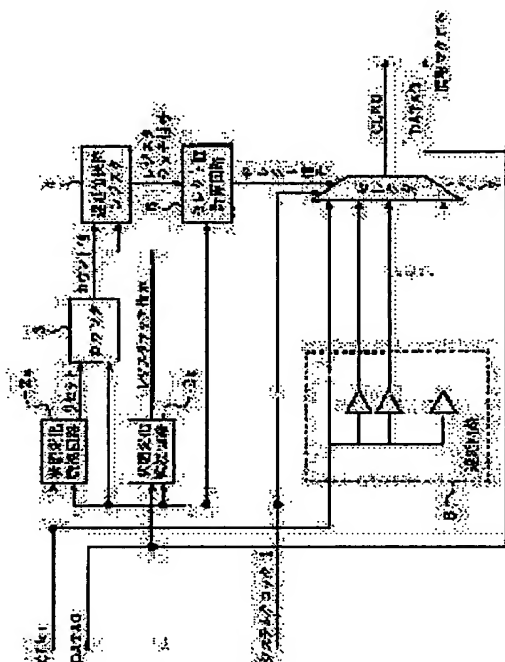
(72)Inventor : SHINPO GOHEI  
SASAKI KATSUTAKA

## (54) PHASE ADJUSTMENT CIRCUIT AND PHASE ADJUSTMENT METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To adjust timing of a clock signal so as to satisfy the timing condition of a clock signal versus a data signal in a diversion circuit in the case of inputting the clock signal and the data signal asynchronously generated to the diversion circuit for a macro or the like in a ready-made LSI.

**SOLUTION:** A state change monitor circuit 2a outputs a reset signal when detecting an up/down edge of a CLKI and a state change monitor circuit 2b outputs a register latch instruction signal when detecting an up/down edge of DATAI. A counter 3 always counts the system clocks and is reset by a reset signal. A delay value storage register 4 stores the count of the counter 3 by a register latch instruction signal. A select value calculation circuit 5 selects any of delay signals with patterns generated by a delay circuit 6 satisfying a timing condition on the basis of the stored count and a selector 7 outputs a clock output signal.



## LEGAL STATUS

[Date of request for examination]

13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

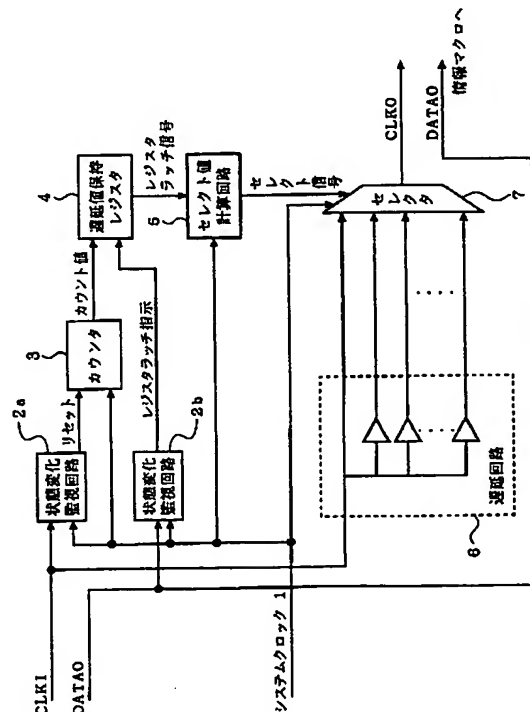
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



**【特許請求の範囲】**

・ **【請求項1】** システムクロックによってクロック入力信号の状態変化を監視し、クロック入力信号の所定の状態を検出したときにリセット信号を出力する第1の状態変化監視回路と、

システムクロックによってデータ入力信号の状態変化を監視し、データ入力信号の所定の状態を検出したときにレジスタラッチ指示信号を出力する第2の状態変化監視回路と、

システムクロックを常にカウントし、前記第1の状態変化監視回路が出力するリセット信号によってリセットされるカウンタと、

前記カウンタのカウント値を、前記第2の状態変化監視回路が出力するレジスタラッチ指示信号によってラッチする遅延値保持レジスタと、

クロック入力信号の複数パターンの遅延信号を生成する遅延回路と、

前記遅延値保持レジスタにラッチされたカウント値を引き込み、前記遅延回路で生成されたクロック入力信号の複数パターンの遅延信号のうち、どのパターンのものがタイミング条件を満足しているかを判断してセレクト信号を出力するセレクト値計算回路と、

前記セレクト信号を基に、前記遅延回路で生成されたクロック入力信号の複数パターンの遅延信号のうちの1つを選択してクロック出力信号を出力するセレクトと、を備えることを特徴とする位相調整回路。

**【請求項2】** 前記クロック入力信号およびデータ入力信号は、それぞれ非同期に生成され、前記クロック出力信号は、後段の流用回路のクロック信号対データ信号のタイミング条件を満たすようにタイミングを調整して出力されることを特徴とする請求項1に記載の位相調整回路。

**【請求項3】** 前記所定の状態が、入力信号のアップエッジもしくはダウンエッジであることを特徴とする請求項1または2に記載の位相調整回路。

**【請求項4】** システムクロックによってクロック入力信号の状態変化を監視し、クロック入力信号の所定の状態を検出したときにリセット信号を出力するステップと、システムクロックによってデータ入力信号の状態変化を監視し、データ入力信号の所定の状態を検出したときにレジスタラッチ指示信号を出力するステップと、システムクロックをカウンタで常にカウントし、前記リセット信号によってカウンタをリセットするステップと、前記カウンタのカウント値を、前記レジスタラッチ指示信号によってラッチするステップと、クロック入力信号の複数パターンの遅延信号を生成するステップと、前記ラッチされたカウント値を引き込み、生成されたクロック入力信号の複数パターンの遅延信号のうち、どの

パターンのものがタイミング条件を満足しているかを判断してセレクト信号を出力するステップと、

前記セレクト信号を基に、生成されたクロック入力信号の複数パターンの遅延信号のうちの1つを選択してクロック出力信号を出力するステップと、を含むことを特徴とする位相調整方法。

**【請求項5】** 前記クロック入力信号およびデータ入力信号は、それぞれ非同期に生成され、前記クロック出力信号は、後段の流用回路のクロック信号対データ信号のタイミング条件を満たすようにタイミングを調整して出力されることを特徴とする請求項4に記載の位相調整方法。

**【請求項6】** 前記所定の状態が、入力信号のアップエッジもしくはダウンエッジであることを特徴とする請求項4または5に記載の位相調整方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、既製品のLSI内のマクロ等を流用する電子回路に、それぞれ非同期に生成されたクロック信号およびデータ信号を入力するときに、入力されるマクロのクロック信号対データ信号のタイミング条件を満たすように自動的にクロック信号のタイミングを調整する非同期信号の位相調整回路および位相調整方法に関する。

**【0002】**

**【従来の技術】** 近年、電子回路の設計を行う場合、開発スピードが速いために、完全に新規に設計することは稀であり、大抵の場合、既存の回路（既製品のLSI内のマクロ等）を部分的に流用して設計を進めるのが主流である。その場合に、出力遅延時間が不明確な既製品のLSI等から出力されるクロック信号を後段の流用回路で使用するとき等で、後段の流用回路への入力のタイミング条件を満足できるか不明確な場合が少なからず発生する。

**【0003】**

**【発明が解決しようとする課題】** 上述した流用回路（既製品のLSI内のマクロ等）は、既に入力信号のタイミング条件が規定されており、こういった流用回路に、それぞれ独立に生成したクロック信号およびデータ信号を入力する場合、コストのかかる遅延回路とジャンパ端子を用いて手作業にてクロック信号対データ信号のタイミング条件を調整することが多く、このように設計された電子回路を量産するとき、一個一個に対して手作業が発生し、量産時の試験行程において多大なコストがかかる。また、手作業による調整であるため、作業ミスを起こすことがある。

**【0004】** この発明の目的は、上記手作業にて調整していた行程が不要になり、かつ人為的な作業ミスもなくすことができ、試験行程におけるコスト削減および品質性向上が見込まれる非同期信号の位相調整回路および位

相調整方法を提供することにある。

【0005】

【課題を解決するための手段】この発明の位相調整回路は、システムクロックによってクロック入力信号の状態変化を監視し、クロック入力信号の所定の状態を検出したときにリセット信号を出力する第1の状態変化監視回路と、システムクロックによってデータ入力信号の状態変化を監視し、データ入力信号の所定の状態を検出したときにレジスタラッチ指示信号を出力する第2の状態変化監視回路と、システムクロックを常にカウントし、前記第1の状態変化監視回路が出力するリセット信号によってリセットされるカウンタと、前記カウンタのカウント値を、前記第2の状態変化監視回路が出力するレジスタラッチ指示信号によってラッチする遅延値保持レジスタと、クロック入力信号の複数パターンの遅延信号を生成する遅延回路と、前記遅延値保持レジスタにラッチされたカウント値を引き込み、前記遅延回路で生成されたクロック入力信号の複数パターンの遅延信号のうち、どのパターンのものがタイミング条件を満足しているかを判断してセレクト信号を出力するセレクト値計算回路と、前記セレクト信号を基に、前記遅延回路で生成されたクロック入力信号の複数パターンの遅延信号のうちの1つを選択してクロック出力信号を出力するセクタと、を備えることを特徴とする。

【0006】この発明は、開発スピードを速め、試験行程のコストを削減し、品質を向上させるうえで有効である。

【0007】

【発明の実施の形態】次に、この発明の実施の形態について図面を参照して説明する。

【0008】この発明の位相調整回路は、ある定まったタイミング条件をもつマクロに、それぞれそのタイミング条件とは無関係に生成されたクロック信号およびデータ信号が入力される構成の電子回路における位相調整回路を想定しており、図1は、この発明の位相調整回路の実施の形態を示す回路図である。

【0009】図1に示す位相調整回路は、クロック信号（CLKI）の状態変化を監視する状態変化監視回路2a、データ信号（DATAI）の状態変化を監視する状態変化監視回路2b、カウンタ3、遅延値保持レジスタ4、セレクト値計算回路5、遅延回路6、セクタ7から構成されている。

【0010】本回路を動作させるシステムクロック1は、状態変化監視回路2a、2b、カウンタ3、セレクト値計算回路5、セクタ7に出力される。CLKIは、状態変化監視回路2aに入力され、また遅延回路6を介してセクタ7に入力される。DATAIは、状態変化監視回路2bに入力されるとともに、DATAOとしてそのまま本回路から出力される。

【0011】状態変化監視回路2aからのリセット信号

は、カウンタ3に出力され、カウンタ3からのカウント値と、状態変化監視回路2bからのレジスタラッチ指示信号は、遅延値保持レジスタ4に出力される。遅延値保持レジスタ4からのレジスタラッチ信号は、セレクト値計算回路5に出力され、セレクト値計算回路5からのセレクト信号は、セクタ7に出力され、セクタ7からはCLKOが出力される。

【0012】次に、図1に示す位相調整回路の動作について説明する。

【0013】それぞれ非同期に生成されたクロック信号（CLKI）およびデータ信号（DATAI）は、始めに状態変化監視回路2a、状態変化監視回路2bに入力される。状態変化監視回路2aは、システムクロック1によってCLKIのアップエッジもしくはダウンエッジの監視し、アップエッジもしくはダウンエッジを検出したときにはカウンタ3にリセット信号を出力する。状態変化監視回路2bは、システムクロック1によってDATAIのアップエッジもしくはダウンエッジの監視し、アップエッジもしくはダウンエッジを検出したときには遅延値保持レジスタ4にレジスタラッチ指示信号を出力する。

【0014】カウンタ3は、システムクロック1によって常にカウントを実施しており、状態変化監視回路2aが出力するリセット信号によってリセットされる。カウンタ3のカウント値は、遅延値保持レジスタ4に出力され、状態変化監視回路2bが出力するレジスタラッチ指示信号によって遅延値保持レジスタ4にラッチされる。ここでラッチされたカウント値は、CLKIのアップエッジもしくはダウンエッジとDATAIのアップエッジもしくはダウンエッジ間の時間差を表しており、その時間差は、カウント値とシステムクロック1の周期との積で表される。

【0015】一方、CLKIは、遅延回路6にも入力され、遅延回路6では複数パターンのCLKIの遅延信号を生成する。セクタ7には、CLKIの複数パターンの遅延信号とセレクト値計算回路5からのセレクト信号が入力される。

【0016】セレクト値計算回路5は、遅延値保持レジスタ4に保持されたカウント値を引き込み、遅延回路6で生成されたCLKIの複数パターンの遅延信号のうち、どのパターンのものが後段のマクロのタイミング条件を満足しているかを判断し、セレクト信号をセクタ7に出力する。

【0017】セクタ7は、セレクト信号を元にCLKIの複数パターンの遅延信号のうちの1つを選択し、出力する。このようにして、後段のマクロのタイミング条件を満足するクロック信号（CLKO）およびデータ信号（DATAO）が生成される。

【0018】一例として、CLKIの周期が30ns、システムクロック（SYCLK）の周期が1ns、C

CLKO、DATAOのタイミング条件が同相であり、遅延回路内で3nsおきの遅延信号を0ns～27nsまで用意した場合について説明する。図2は、動作を説明するタイミングチャートを示しており、図3は、遅延回路における遅延量を示しており、図4は、CLKO、DATAOのタイミング条件を示している。

【0019】図2では、カウンタは、SYSCLKにてCLKIアップエッジを検出したとき0にリセットされる。同様に、DATAIのアップエッジを検出すると、図2では、カウント値4がラッチされる。このとき、遅延回路で、例えば6ns遅延のクロックを選択すると、±3ns以下の精度でCLKO対DATAOのタイミング条件を満足できる。なお、位相調整の精度は、実現する遅延回路の精度に依存する。

【0020】なお、上述した実施の形態では、出力遅延時間が不明確な既製品のLSI等から出力されるクロック信号を後段で使用する場合を想定して説明したが、この発明は、これに限るものではなく、クロックパターンの伝送遅延を想定した場合にも適用できる。

【0021】また、この発明の位相調整回路を、ハードウェア記述言語（HDL）により実現して動作の検証を行うことができるものとする。

【0022】

【発明の効果】以上説明したように、従来は、既存の回路を部分的に流用して電子回路を設計する場合に、流用した回路にそれぞれ独立に生成したクロック信号およびデータ信号を入力し、遅延回路とジャンパ端子を用いて手作業にてクロック信号対データ信号のタイミング条件

を調整していたが、この発明によれば、上記手作業にて調整していた行程が不要になり、かつ人為的な作業ミスもなくすることができる。これにより、試験行程におけるコスト削減および品質性向上が見込まれる。

【0023】また、この発明によれば、DATAIがジッタを持っているような場合でも、後段で要求されるタイミング条件に合致するように逐次セクタが動作するため、CLKIがDATAIのジッタに追従することができる。これにより、後段のマクロにおいてタイミング条件による誤動作を防ぐことが見込まれる。

【図面の簡単な説明】

【図1】この発明の位相調整回路の実施の形態を示す回路図である。

【図2】この発明の位相調整回路の動作を説明するタイミングチャートである。

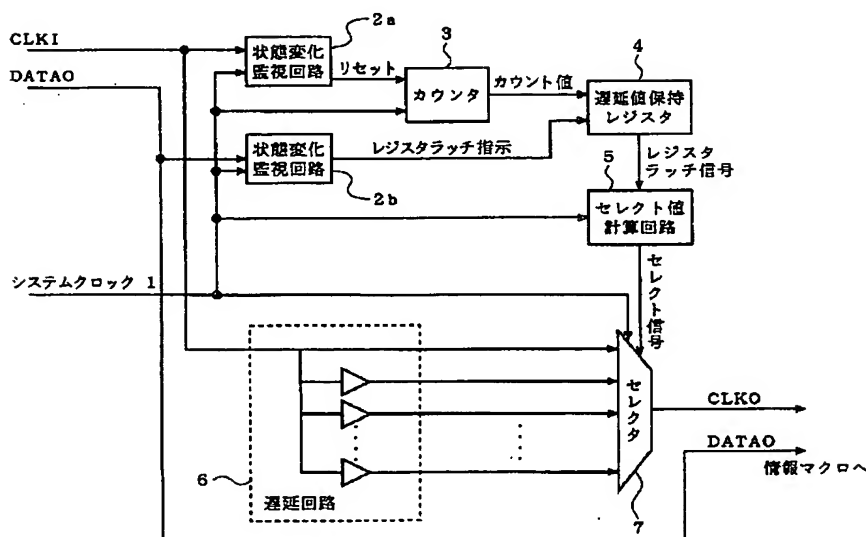
【図3】遅延回路における遅延量の一例を示す図である。

【図4】CLKO、DATAOのタイミング条件の一例を示す図である。

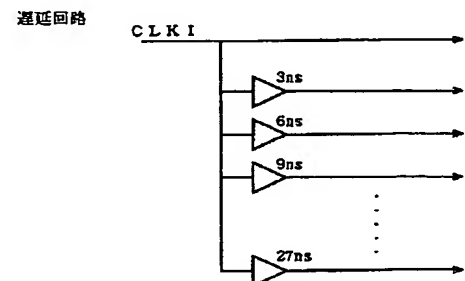
【符号の説明】

- 1 システムクロック
- 2 a, 2 b 状態変化監視回路
- 3 カウンタ
- 4 遅延値保持レジスタ
- 5 セレクト値計算回路
- 6 遅延回路
- 7 セクタ

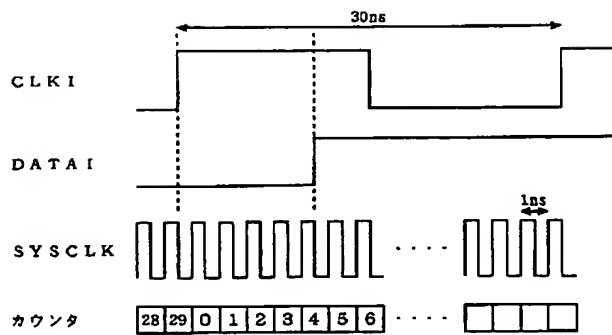
【図1】



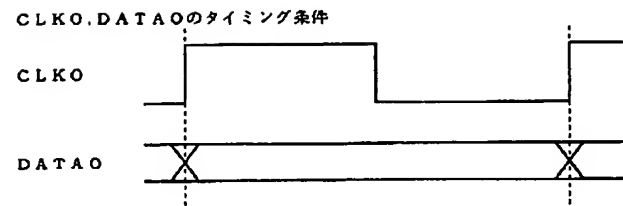
【図3】



【図2】



【図4】



フロントページの続き

(72)発明者 佐々木 勝隆  
東京都港区三田一丁目4番28号 日本電気  
通信システム株式会社内

Fターム(参考) 5J001 AA11 BB07 DD08  
5J106 AA03 CC59 DD17 DD24 DD38  
DD43 EE05 GG19 HH02  
5K047 AA01 AA12 GG06 GG24 GG42  
JJ01